

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-201651**

(43)Date of publication of
application : **04.08.1995**

(51)Int.Cl.

H01G 4/30

H01G 4/232

H01G 2/00

(21)Application
number : **05-334378**

(71)
Applicant : **SUMITOMO METAL IND LTD**

(22)Date of filing : **28.12.1993**

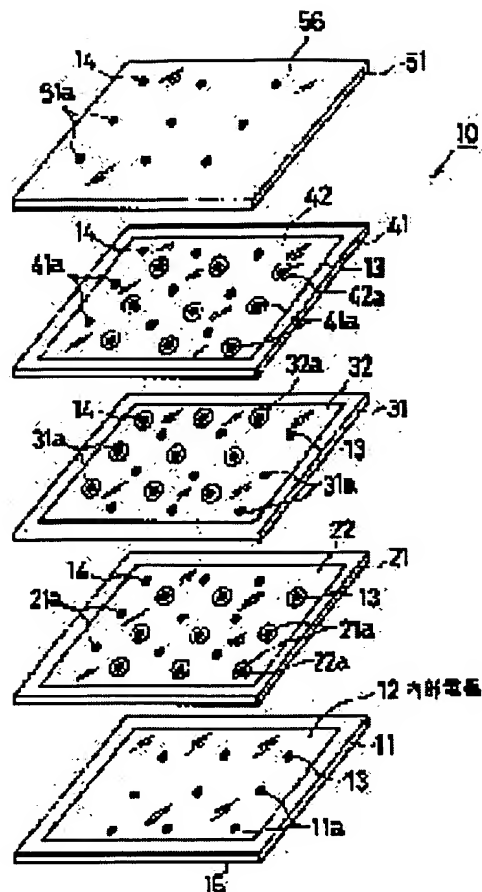
(72)Inventor : **YAMAMOTO TOSHISHIGE
HASHIMOTO MASAYA**

(54) MULTILAYER CAPACITOR

(57)Abstract:

PURPOSE: To obtain a high capacity low ESL multilayer capacitor which can be packaged easily by forming outer electrodes at parts on the opposite sides of a laminate comprising dielectric plates and inner electrodes, connecting the inner electrodes and the outer electrodes through a plurality of columnar connecting members, and disposing the connecting members at such positions as the electromagnetic field is offset by the currents flowing through the inner electrodes.

CONSTITUTION: Outer electrodes 16 and 56 are formed at least parts on the opposite sides of a laminate comprising dielectric plates 11-51 and inner electrodes 12-42. The inner electrodes 12, 32 and the outer electrodes 16 having an identical polarity are interconnected through a plurality of columnar terminals 13 while the inner electrodes 22, 42 and the outer electrodes 56 having identical polarity are interconnected through a plurality of columnar terminals 14. The columnar terminals 13, 14 are disposed at such positions as the electromagnetic fields produced by the currents flowing through the inner electrodes 12-42 are offset each other. Since the current flowing through the inner electrodes can be dispersed in all directions, the current path can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/30 4/232 2/00	3 0 1 D	9174-5E 9174-5E	H 0 1 G 1/147 1/16 審査請求 未請求 請求項の数1 O L (全 7 頁)	Z

(21) 出願番号 特願平5-334378

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 山本 利重

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72) 発明者 橋本 昌也

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

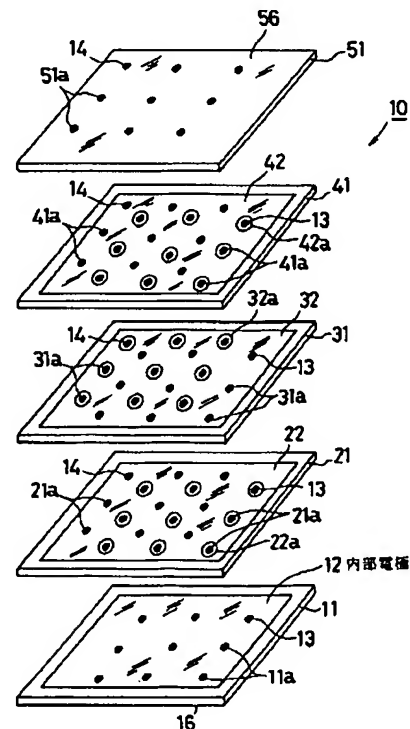
(74) 代理人 弁理士 井内 龍二

(54) 【発明の名称】 積層コンデンサ

(57) 【要約】 (修正有)

【構成】 誘電体板11～51及び内部電極12～42からなる積層体15の表裏両主面の少なくとも一部分ずつに外部電極16、56が形成され、同極性となる内部電極12、32及び外部電極16が複数個の柱状端子13で、同極性となる内部電極22、42及び外部電極56が複数個の柱状端子14でそれぞれ互いに接続され、かつ内部電極12～42を流れる電流による電磁界が互いに相殺する箇所に柱状端子13、14が配設されている積層コンデンサ10。

【効果】 内部電極12～42を流れる電流の方向を分散させると共に多数の柱状端子13、14により電流の流れる距離を短くし、積層コンデンサ10自体のESLを小さくできる。また実装する際、多数の電流路の集約が不要となって相互インダクタンスを小さくできると共にLSIチップ57との接続経路を短縮でき、LSIチップ57と積層コンデンサ10との間におけるインダクタンスを小さくできる。



【特許請求の範囲】

【請求項1】 誘電体と内部電極とが交互に複数層積み重ねられた積層コンデンサにおいて、前記誘電体及び前記内部電極からなる積層体の表裏両主面の少なくとも一部分ずつに外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による磁界が互いに相殺する箇所に前記柱状接続部材が配設されていることを特徴とする積層コンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は積層コンデンサに関し、より詳細には特に高周波領域における論理回路のスイッチングノイズ等を効果的に除去することができる低インダクタンスの積層コンデンサに関する。

【0002】

【従来の技術】 近年の電子回路の大容量化、高速化、高密度化に伴い、コンデンサの大容量化、高周波化が要求されている。このような要求に対応できるコンデンサのひとつとして、積層セラミックコンデンサが挙げられる。中でも、図7に示したタイプのチップ型積層セラミックコンデンサは大容量化の実現が可能であり、しかもパッケージ等への実装が容易であるため盛用されている。

【0003】 図中71は誘電体を示しており、積層された誘電体71間には、左端を除く略全面に形成された内部電極72と、右端を除く略全面に形成された内部電極73とが一層おきに形成されており、これら誘電体71、内部電極72及び内部電極73により積層体74が構成されている。また、この積層体74の両端部には内部電極72の一端が接続された外部電極75と、内部電極73の一端が接続された外部電極76とが形成され、これら積層体74及び外部電極75、76を含んで積層チップコンデンサ70は構成されている。

【0004】 このように構成されたチップ型積層セラミックコンデンサ70では、内部電極72と内部電極73との対向する積層面で容量が形成され、各容量値の総和がチップ型積層セラミックコンデンサ70の総容量値となり、小型であっても大容量が得られる。

【0005】 ところで一般に、コンデンサは理想的には容量素子であるが、現実的には誘電体材料の誘電損失や電極の持つ抵抗及びインダクタンスを有しており、図8に示したような等価回路で表され、使用する周波数によりその振るまいが大きく変化する。図9は一例として、容量 $C=1\text{ nF}$ 、等価直列抵抗 $E S R$ (Equivalent Series Resistance) $=0.1\ \Omega$ 、等価直列インダクタンス $E S L=1\text{ nH}$ であるコンデンサのインピーダンス $|Z|$ の周波数特性を示したものである。ここで実線は現実の周波数特性を、点線は誘電損失や電極抵抗を有さないコンデンサの理想的な周波数特性すなわちコンデンサの

インダクタンス (ω_L) 成分及び容量成分 ($1/\omega C$) の周波数特性をそれぞれ示している。図9から明らかなように、現実のコンデンサでは40MHz付近からインピーダンスがずれ始めており、これは見かけの容量が変化していることを示している。また、160MHzで共振を生じており、それ以上の周波数ではインダクタとして振るまう。コンデンサの代表的な用途として、回路のノイズカットを行うバイパスコンデンサが挙げられるが、上記したようなコンデンサでは、ノイズの周波数が300MHz以上になるとインピーダンスが高くなるため、高周波領域におけるノイズを効果的に除去することが困難になるという問題があった。

【0006】 このような問題を解決するには、コンデンサの自己共振周波数 f_0 を高める必要がある。一般に、コンデンサの f_0 は以下の式、

【0007】

【数1】

$$f_0 = \frac{1}{2\pi\sqrt{E S L \cdot C}}$$

【0008】 で表される。従って f_0 を高めるには、 $E S L$ あるいは C を小さくしなければならない。しかし、上記したように近年の回路の大容量化に伴って C は増大する傾向にあり、 C を小さくすることはできず、 $E S L$ を小さくすることが重要となる。

【0009】 チップ型積層セラミックコンデンサ70では、図10に示したように誘電体71をはさむ全ての内部電極72、73で、外部電極76の一端から電流が同一方向に流れており、電流による電磁界が相殺されることはなく、 $E S L$ の値は略以下の式、

【0010】

【数2】

$$E S L = \mu_0 \frac{c d}{a}$$

μ_0 : 透磁率

【0011】 で表される。その結果相互インダクタンスが正で大きな値となり、 $E S L$ の値を小さくすることができない。例えば、外部電極76幅 $a=0.5\text{ mm}$ 、コンデンサ70高さ $c=0.5\text{ mm}$ 、コンデンサ70長さ $d=1\text{ mm}$ 、 μ_0 : 透磁率とすると、 $E S L$ は約1.3 nHと大きな値となる。

【0012】 スwitchingノイズは論理回路のスイッチングによってシステムの電源ラインに流れる電流(充放電電流)により発生するノイズであり、電流路のインダクタンスと比例関係にある。この時、コンデンサは充放電電流の供給源として働く。現在、電子回路の高速化に伴い、この論理回路におけるスイッチングノイズが大きな問題となっており、前記スイッチングノイズを抑制するためには、コンデンサにおける大容量化、低インダクタンス化が望まれている。

【0013】既に大容量化が図られたチップ型積層セラミックコンデンサ70において、スイッチングノイズをより抑制するには、コンデンサ自体のESLを小さくすること、及び実装した際のLSIチップ等とコンデンサとの間のインダクタンスを最小にすることが重要となる。そこで、LSIチップとチップ型積層セラミックコンデンサ70との間のインダクタンスを小さくする方法として、これらの間に多数の短い電流路を設ける方法が考えられている。

【0014】一般に、高速かつ大容量のLSIでは50～100本の電源ラインが設けられており、このようなLSIが搭載されたパッケージにチップ型積層セラミックコンデンサ70を実装する場合（図11参照）、LSIチップ57はパッケージ81の接地層83に導電性材料で密着して接続され、LSIチップ57の接地層パッド（図示せず）はワイヤ82、接地パッド84、ビアホール85、接地層83、ビアホール86、コンデンサ接続パッド75aを介して外部電極75からチップ型積層セラミックコンデンサ70に接続される。従って、LSIチップ57から接地層83までは多数の電流路が存在しており、インダクタンスは小さい。しかし、チップ型積層セラミックコンデンサ70の外部電極75が小さく、多数の前記電流路を一本に集約した後接続しなければならないため、ビアホール86の数は通常1本となっており、結果的にはLSIチップ57とチップ型積層セラミックコンデンサ70間におけるインダクタンスを小さくすることはできないという課題があった。また電源線においても、ワイヤ87、電源パッド88、ビアホール89、電源層90までは多数の電流路が確保されているものの、ビアホール91が1本となり、接地線の場合における課題と同様の課題があった。

【0015】他方、コンデンサ自体のESLを小さくするために、上下に隣接する内部電極を流れる電流の向きがほぼ逆方向となるように前記内部電極が構成されたチップ型積層コンデンサが提案されている（特公平4-70764号公報）。

【0016】

【発明が解決しようとする課題】上記した特公平4-70764号公報記載のチップ型積層コンデンサにおいては、前記内部電極を流れる電流の向きがほぼ逆方向となるように前記内部電極が構成されていることにより、前記電流による電磁界が相殺され、コンデンサ自体のESLは低減されるものの、その構造上、外部電極の面積が小さくなっており、パッケージ等へ実装する際、LSIチップ側で多数の電流路を用意しても、やはり一旦これを集約して前記チップ型積層コンデンサに接続しなければならない、LSIチップとコンデンサとの間におけるインダクタンスを低減することは困難であるという課題があった。

【0017】本考案はこのような課題に鑑みなされたも

のであって、大容量かつ低ESLを有しながら、しかもパッケージ等への実装が容易で、さらにLSIチップ等との間におけるインダクタンスが小さい積層コンデンサを提供することを目的としている。

【0018】

【課題を解決するための手段】上記問題を達成するために本発明に係る積層コンデンサは、誘電体と内部電極とが交互に複数層積み重ねられた積層コンデンサにおいて、前記誘電体及び前記内部電極からなる積層体の表裏両主面の少なくとも一部分ずつに外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による電磁界が互いに相殺する箇所に前記柱状接続部材が配設されていることを特徴としている。

【0019】

【作用】通常、積層コンデンサにおいては、内部電極が電源線、接地線、電源線、接地線、・・・と交互に接続されるように、外部電極が一層おきの前記内部電極と接続されており、隣接する前記内部電極間で容量を形成するように構成されている。

【0020】上記した構成の積層コンデンサによれば、前記誘電体及び前記内部電極からなる前記積層体の表裏両主面の少なくとも一部分ずつに前記外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の前記柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による電磁界が互いに相殺する箇所に前記柱状接続部材が配設されているので、前記内部電極を流れる電流の向きが一定方向に偏らないように分散されると共に、多数の前記柱状接続部材により電流の流れる距離が短くなり、その結果ESLが小さくなる。

【0021】また、積層された前記内部電極の対向面で容量が形成されるため、大容量が得られる。

【0022】さらに、実装する際、前記外部電極上に前記LSIチップを例えばワイヤボンディング等で接続することにより、多数の電流路を集約する必要がなくなって相互インダクタンスが小さくなると共に、接続経路を短縮することが可能となり、その結果前記LSIチップ等と積層コンデンサとの間におけるインダクタンスが小さくなる。

【0023】

【実施例】以下、本発明に係る積層コンデンサの実施例を図面に基づいて説明する。ここでは4層の内部電極が形成されている場合について説明する。図1、図2及び図3は実施例に係る積層コンデンサを示した斜視図、底面図及び分解斜視図である。図中11、21、31、41、51はチタン酸バリウム等の高誘電率材料を用いて形成された誘電体板を示しており、誘電体板11～51の所定箇所には複数個の貫通孔11a、21a、31a、41a、51aが形成されている。誘電体板11～41の各上面の周囲一定幅を除く部分に、誘電体との同

時焼成が可能なPb、Pt、Ag、Pd-Ag等からなる金属ペーストを用いて内部電極12、22、32、42が形成されている。これら誘電体板11～51及び内部電極12～42が順次交互に積層されることにより積層体15が形成されている。積層体15の表裏両主面には誘電体との同時焼成が可能なPb、Pt、Ag、Pd-Ag等からなる金属ペーストを用いて外部電極56及び外部電極16が形成されている。そして、同極性を有する外部電極16及び一層おきの内部電極12、32が貫通孔11a～31aに充填された柱状端子13により接続され、他の同極性を有する外部電極56及び一層おきの内部電極22、42が貫通孔21a～51aに充填された柱状端子14により接続されている。これら柱状端子13、14は導電性を有し、かつ誘電体との同時焼成が可能なPb、Pt、Ag、Pd-Ag等からなる金属ペーストを用いて形成されており、内部電極12～42を流れる電流による電磁界が相殺する箇所に配設されている。また、内部電極22、42には柱状端子14が接続されないためのくり抜き部22a、42aが形成され、内部電極12、32には柱状端子13が接続されないためのくり抜き部12a、32aが形成されており、これら積層体15及び外部電極16、56を含んで積層コンデンサ10は構成されている。

【0024】このような構成の積層コンデンサ10を作製するには、まずガラス系焼結助剤を添加したチタン酸バリウムの粉末に分散剤、有機バインダ、可塑剤を添加して混練した後、(ドクターブレード)法により厚さが約50 μ mのシート状に成形し、誘電体シートを得る。

【0025】次に、焼き上がり寸法が例えば縦が15mm、横が15mmとなるような大きさに誘電体シートを切断した後、誘電体シート3枚に、図3に示した貫通孔21aと同様の配置となるように複数個の貫通孔をそれぞれ形成し、さらに誘電体シート3枚の一主面の、図3に示した内部電極22の形成部分と同様の部分、つまり周囲一定幅及び異極性の柱状端子13、14が接続されないためのくり抜き部22aを除く部分にメタルマスクを用いたスクリーン印刷法により内部電極パターンをそれぞれ形成すると同時に、全ての貫通孔内に金属ペーストとして例えばPd-Agペーストを充填する。

【0026】この後、内部電極パターンを上面にした3枚の誘電体シートを1枚ずつ180°回転させながら順次積層する。

【0027】次に、別の誘電体シート2枚に、図3に示した貫通孔51aの配置と同様の配置となるように複数個の貫通孔をそれぞれ形成し、さらに誘電体シート2枚の一主面の全面にメタルマスクを用いたスクリーン印刷法により外部電極パターンをそれぞれ形成すると同時に、全ての貫通孔内に前記金属ペーストを充填し、さらにこの誘電体シート1枚の他の主面の周囲一定幅を除く部分にメタルマスクを用いたスクリーン印刷法により内

部電極パターンを形成する。この後、積層された誘電体シートの上に、外部電極パターンのみが形成された誘電体シートを、外部電極パターンを上面にすると共に貫通孔の位置が積層された誘電体シート上面の周囲にくり抜き部が形成されていない貫通孔の位置と一致するように積層し、さらにこの積層された誘電体シートの下に、外部電極パターン及び内部電極パターンが形成された誘電体シートを、内部電極パターンを上面にすると共に貫通孔が最上層の誘電体シートにおける貫通孔の位置を180°回転させた位置にくるように積層し、積層誘電体シートを形成する。この時、貫通孔及び内部電極パターンは、内部電極12～42を流れる電流による電磁界が互いに相殺する箇所に柱状端子13、14が配設されるように形成されている。

【0028】次に、積層誘電体シートを1250℃の大気中で焼成して積層コンデンサ10を作製する。

【0029】図4は実施例に係る積層コンデンサ10において、内部電極12の極性が+である場合の内部電極12を流れる電流の方向を示した模式図であり、図5は内部電極22の極性が-である場合の内部電極22を流れる電流の方向を示した模式図である。

【0030】図4及び図5から明らかなように実施例に係る積層コンデンサ10では、内部電極12、22を流れる電流は全体として+から-に流れており、この向きをベクトル的に表すとそれぞれが全方位に広がり、あるいは全方位から流れ込む。また、電流が流れる距離は同種の柱状端子14間距離の1/2と短い。このように、柱状端子13、14の配置を幾何学的に考慮することにより電流の向きを分散させて電流の電磁界を相殺すると共に、電流の流れる距離を短縮し、ESLを小さくすることができる。

【0031】実際に、実施例に係る積層コンデンサ10のESLを調べたところ、0.05nHと小さな値となっていることが確認された。

【0032】図6は実施例に係る積層コンデンサ10の1使用例を示した模式的断面図である。ここでは、LSIチップ57よりもひとまわり大きい寸法を有する積層コンデンサ10を用いた。図中55はパッケージを示しており、パッケージ55に搭載された積層コンデンサ10はパッケージ55の電源層69上に導電性材料で密着して接続されており、積層コンデンサ10下面の外部電極16が電源ラインの外部電極端子、上面の外部電極56が接地ラインの外部電極端子となっている。外部電極56上には導電性材料でLSIチップ57が密着して接続されている。LSIチップ57の接地端子(図示せず)はワイヤ59により直接外部電極56に接続され、さらにワイヤ60からパッケージの接地パッド61、ビアホール62、接地層63、ビアホール64、ピン65を通じて外部電源(図示せず)と接続されて短い多数の電流路が確保されている。一方、LSIチップ57の電

源端子（図示せず）はワイヤ６６からパッケージのパッド６７、ビアホール６８、電源層６９を通じて積層コンデンサ１０の外部電極１６に接続されると共に、ビアホール５３及びピン５４を通じて外部電源（図示せず）と接続されている。

【００３３】図６から明らかなように実施例に係る積層コンデンサ１０では、積層体１５の表裏両主面に広い面積の外部電極１６、５６が形成されていることにより、ＬＳＩチップ５７からの電流路が直接積層コンデンサ１０の外部電極５６に接続され、あるいは多数の電流路を介して外部電極１６に接続され、短い多数の電流路が確保され、これら電流路を接続経路途中で集約する必要もなく、ＬＳＩチップ５７と積層コンデンサ１０との間におけるインダクタンスを小さくすることができる。

【００３４】なお本実施例では、外部電極１６、５６が積層体１５の表裏両主面の全面に形成されている場合について説明したが、外部電極１６、５６が形成される部分は積層体１５の表裏両主面の全面でなくても柱状端子１３あるいは柱状端子１４を全て含んでいけばよい。

【００３５】以上説明したように実施例に係る積層コンデンサ１０にあっては、内部電極１２～４２を流れる電流の方向を全方位に分散させることができると共に、多数の柱状端子１３、１４により電流の流れる距離を短くし、積層コンデンサ１０自体のＥＳＬを小さくすることができる。しかも、内部電極１２～４２の対向面で容量を形成するため、大容量を得ることができる。

【００３６】また、面積の広い外部電極１６、５６から外部への接続を行うことにより、パッケージ５５等に搭載されるＬＳＩチップ５７の直下の実装することができる。また実装する際、多数の電流路を集約する必要がなくなつてインダクタンスを小さくできると共に、ＬＳＩチップ５７との接続経路を短縮し、ＬＳＩチップ５７と積層コンデンサ１０との間におけるインダクタンスを小さくできる。

【００３７】

【発明の効果】以上詳述したように本発明に係る積層コンデンサにおいては、誘電体板と内部電極とが交互に複数層積み重ねられた積層コンデンサにおいて、前記誘電体板及び前記内部電極からなる積層体の表裏両主面の少なくとも一部分ずつに外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による電磁界が互いに相殺する箇所に前記柱状接続部材が配設されているので、前記内部電極を流れる電流の方向を全方位に分散させることができると共に、多数の前記

柱状接続部材により電流の流れる距離を短くし、前記積層コンデンサ自体のＥＳＬを小さくでき、しかも前記内部電極の対向面で容量を形成するため大容量を得ることができる。また実装する際、多数の電流路を集約する必要がなくなつてインダクタンスを小さくできると共に、前記ＬＳＩチップとの接続経路を短縮し、前記ＬＳＩチップと前記積層コンデンサとの間におけるインダクタンスを小さくできる。したがって、特に高周波領域における論理回路のスイッチングノイズ等を効果的に除去することができる。

【図面の簡単な説明】

【図１】本発明に係るチップ型積層セラミックコンデンサの実施例を模式的に示した斜視図である。

【図２】実施例に係るチップ型積層セラミックコンデンサを示した底面図である。

【図３】実施例に係るチップ型積層セラミックコンデンサの積層体部分を分解して示した斜視図である。

【図４】実施例に係る積層コンデンサにおける内部電極を流れる電流の方向を示した模式図である。

【図５】実施例に係る積層コンデンサにおける図４に示した内部電極と隣接する内部電極を流れる電流の方向を示した模式図である。

【図６】実施例に係る積層コンデンサをＬＳＩが搭載されたパッケージに実装した場合を示した模式的断面図である。

【図７】従来のチップ型積層セラミックコンデンサを示した部分断面斜視図である。

【図８】チップ型積層セラミックコンデンサの回路構成を示した等価回路図である。

【図９】従来のチップ型積層セラミックコンデンサにおけるインピーダンス $|Z|$ の周波数特性を示したグラフである。

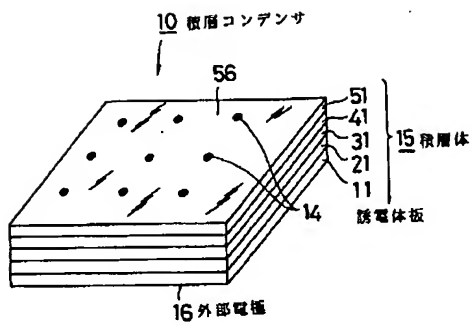
【図１０】従来の積層コンデンサにおける電流の流れる方向を示すための模式的断面図面である。

【図１１】従来のチップ型積層セラミックコンデンサをＬＳＩが搭載されたパッケージに実装した場合を示した模式的断面図である。

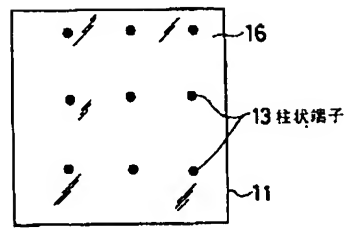
【符号の説明】

- １０ 積層コンデンサ
- １１、２１、３１、４１、５１ 誘電体板
- １２、２２、３２、４２ 内部電極
- １３、１４ 柱状端子
- １５ 積層体
- １６、５６ 外部電極

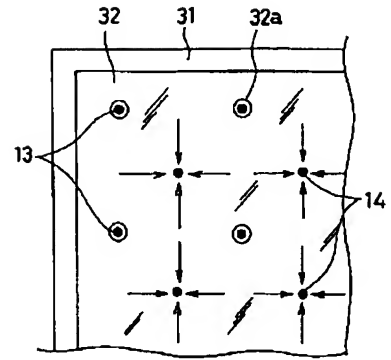
【図01】



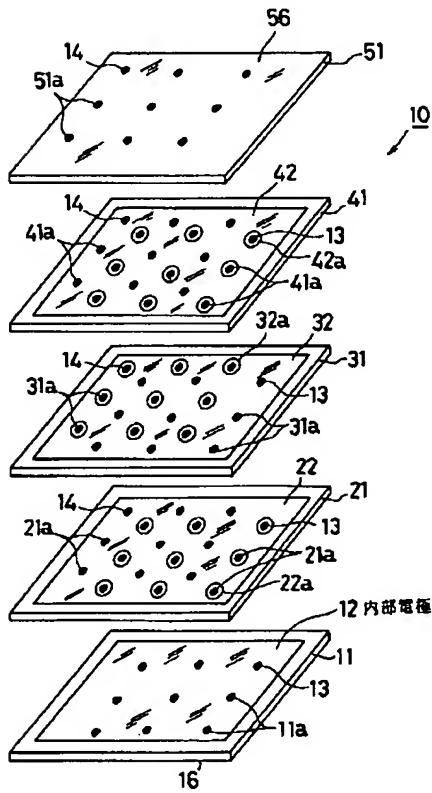
【図02】



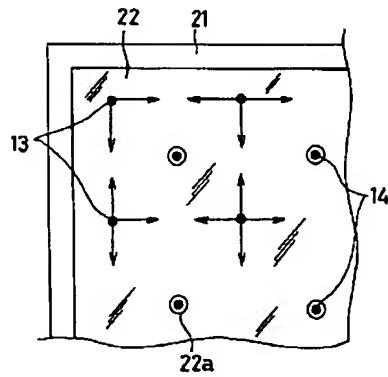
【図04】



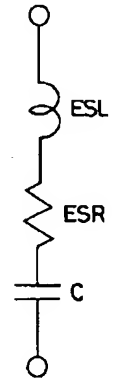
【図03】



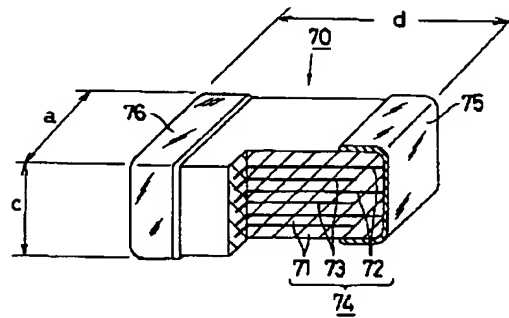
【図05】



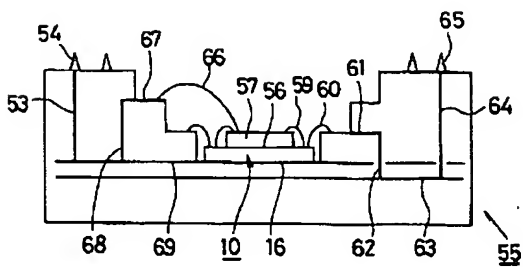
【図08】



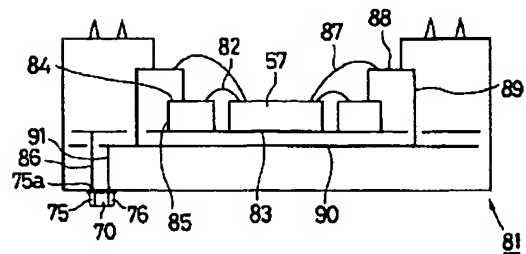
【図07】



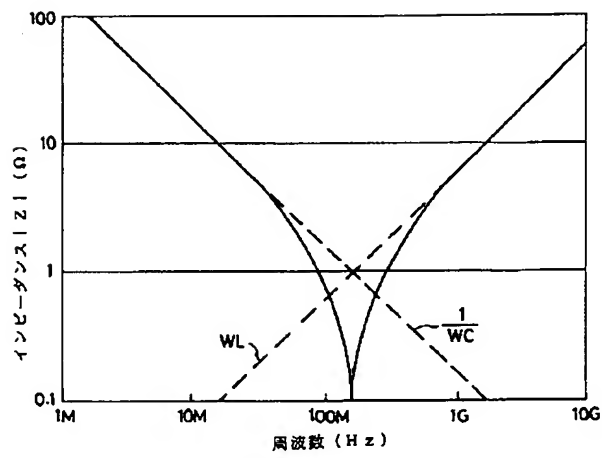
【図06】



【図11】



【図 0 9】



【図 1 0】

